

Family list

18 family members for: JP7098575

Derived from 10 applications

- 1 **Semiconductor device**
Inventor: YONEDA HIROSHI (JP); YOSHIOA SHIGETO (JP); (+1) **Applicant:** SHARP KK (JP)
EC: G09G3/36C; G09G3/36C14A; (+1) **IPC:** G09G3/36; H01L23/528; G02F1/13 (+10)
Publication info: CN1043702C - 1999-06-16
CN1103205 A - 1995-05-31
- 2 **Semiconductor device**
Inventor: HIROSHI KOMETA (JP); SHIGEHITO YOSHITA (JP); (+1) **Applicant:** SHARP KK (JP)
EC: G09G3/36C; G09G3/36C14A; (+1) **IPC:** G09G3/36; H01L23/528; G02F1/13 (+7)
Publication info: CN1149675C - 2004-05-12
CN1313639 A - 2001-09-19
- 3 **Semiconductor device**
Inventor: HIROSHI KOMEIDA (JP); SHIGEHITO YOSHIDA (JP); (+1) **Applicant:** SHARP KK (JP)
EC: G09G3/36C; G09G3/36C14A; (+1) **IPC:** G09G3/36; H01L23/528; G02F1/13 (+7)
Publication info: CN1208661C - 2005-06-29
CN1275723 A - 2000-12-06
- 4 **Semiconductor assembly**
Inventor: YONEDA HIROSHI (JP); YOSHIDA SHIGETO (JP); (+3) **Applicant:** SHARP KK (JP)
EC: G09G3/36C; G09G3/36C14A; (+1) **IPC:** G09G3/36; H01L23/528; G02F1/13 (+6)
Publication info: DE4426449 A1 - 1995-02-09
DE4426449 C2 - 2000-02-17
- 5 **PICTURE DISPLAY DEVICE**
Inventor: YONEDA YUTAKA; KATO KENICHI **Applicant:** SHARP KK
EC: **IPC:** G02F1/1345; G09F9/30; G09G3/36 (+6)
Publication info: JP3251391B2 B2 - 2002-01-28
JP7043736 A - 1995-02-14
- 6 **SEMICONDUCTOR DEVICE**
Inventor: YONEDA YUTAKA; YAMANE YASUKUNI; (+1) **Applicant:** SHARP KK
EC: **IPC:** G02F1/1343; G02F1/1345; G02F1/136 (+19)
Publication info: JP3251401B2 B2 - 2002-01-28
JP7120788 A - 1995-05-12
- 7 **PICTURE DISPLAY DEVICE**
Inventor: YOSHIDA SHIGETO; YONEDA YUTAKA; (+1) **Applicant:** SHARP KK
EC: **IPC:** G02F1/133; G09G3/20; G09G3/36 (+5)
Publication info: JP3460847B2 B2 - 2003-10-27
JP7098575 A - 1995-04-11
- 8 **SEMICONDUCTOR DEVICE**
Inventor: YONEDA YUTAKA; YAMANE YASUKUNI; (+1) **Applicant:** SHARP KK
EC: **IPC:** G02F1/136; G02F1/1345; G09F9/00 (+13)
Publication info: JP3466530B2 B2 - 2003-11-10
JP2000299439 A - 2000-10-24
- 9 **SEMICONDUCTOR DEVICE**
Inventor: YONEDA HIROSHI (JP); YOSHIDA SHIGETO (JP); (+3) **Applicant:** SHARP KK (JP)
EC: G09G3/36C; G09G3/36C14A; (+1) **IPC:** G09G3/36; H01L23/528; G02F1/13 (+5)
Publication info: KR100238019B B1 - 2000-01-15
- 10 **Semiconductor device**

Inventor: YONEDA HIROSHI (JP); YOSHIDA
SHIIGETO (JP); (+3)

Applicant: SHARP KK (JP)

EC: G09G3/36C; G09G3/36C14A; (+1)

IPC: G09G3/36; H01L23/528; G02F1/13 (+7)

Publication info: US5610414 A - 1997-03-11

Data supplied from the esp@cenet database - Worldwide

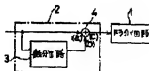
PICTURE DISPLAY DEVICE

Patent number: JP7098575
 Publication date: 1995-04-11
 Inventor: YOSHIDA SHIGETO; YONEDA YUTAKA; KATO KENICHI
 Applicant: SHARP KK
 Classification:
 - international: G02F1/133; G09G3/20; G09G3/36; G02F1/13; G09G3/20; G09G3/36; (IPC1-7): G09G3/36; G02F1/133
 - european:
 Application number: JP19930242259 19930929
 Priority number(s): JP19930242259 19930929

Report a data error here

Abstract of JP7098575

PURPOSE: To perform good picture display by suppressing distortion of a waveform of a fundamental signal. **CONSTITUTION:** A driving circuit which drives a picture display section is provided along a picture display section spreading over in a plane state, an output signal of a driver circuit 1 is inputted to a pixel section of the picture display section through an active element. A response characteristic improving circuit 2 generates a waveform improving signal having a fundamental signal component taking at least a binary value and a signal component corresponding to waveform distortion, and this signal is supplied to the driver circuit 1. The waveform improving signal is made $|V| < |V|$ when the maximum amplitude of the fundamental signal component is made (V) and the maximum amplitude of a section including the signal component corresponding to waveform distortion is made V , also it is made $f < \omega F$ when a frequency of the fundamental signal component is defined as (f) and a frequency of the signal component corresponding to waveform distortion is defined as F .



特開平7-98575

(43) 公開日 平成7年(1995)4月11日

(51) Int. Cl. ⁶	識別記号	F I
G09G 3/36		
G01F 1/133	550	

審査請求 未請求 請求項の数10 ○L (全12頁)

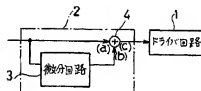
(21) 出願番号	特願平5-242259	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成5年(1993)9月29日	(72) 発明者	吉田 茂人 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	米田 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	加藤 兼一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74) 代理人	弁理士 原 謙三

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【構成】 画像表示部を駆動するための駆動回路が、面状に広がる画像表示部に沿って設けられ、ドライバ回路1の出力信号がアクティブ素子を介して画像表示部の画素部に入力される。応答性改善回路2は、少なくとも2値をとる基本信号成分、および波形なまり対応信号成分を有する波形改善信号を生成し、この信号をドライバ回路1に供給する。上記波形改善信号は、基本信号成分の最大振幅を v 、波形なまり対応信号成分を含む部位の最大振幅 V としたとき、 $|v| < |V|$ となり、かつ基本信号成分の周波数を f 、波形なまり対応信号成分の周波数を f' としたとき、 $f \leq f'$ となる。

【効果】 基本信号の波形なまりを抑制し、良好な画像表示を行える。



【特許請求の範囲】

【請求項1】面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、少なくとも2値をとる基本信号成分、および波形なまり対応信号成分を有する波形改善信号を生成し、この信号を上記回路手段に供給する波形改善信号生成回路を備え、上記の波形改善信号が、基本信号成分の最大振幅をV、波形なまり対応信号成分を含む部位の最大振幅をVとしたとき、

$$|V_1| < |V|$$

の関係を有するとともに、基本信号成分の周波数をf、波形なまり対応信号成分の周波数をFとしたとき、

$$f \leq F$$

の関係を有することを特徴とする画像表示装置。

【請求項2】上記の波形改善信号生成回路が、外部から入力された基本信号を微分して波形改善信号を生成する微分回路であることを特徴とする請求項1に記載の画像表示装置。

【請求項3】上記の波形改善信号生成回路が、外部から入力された基本信号と、生成した波形なまり対応信号とを加算して波形改善信号を生成するものであることを特徴とする請求項1に記載の画像表示装置。

【請求項4】面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、上記の回路手段は、入力信号に対して、回路の動作の指標となる、波形なまりにより劣化した信号成分における位相特性の補償動作を行う位相特性改善回路を備えていることを特徴とする画像表示装置。

【請求項5】上記の位相特性改善回路が、微分回路からなることを特徴とする請求項4に記載の画像表示装置。

【請求項6】面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、上記回路手段の動作周波数を決定する基本信号に対し、この信号における動作タイミングを拡張する部位に波形なまり対応信号成分を付与する波形改善回路を備え、上記基本信号による回路手段の動作周波数をf、上記波形なまり対応信号成分の最少パルス幅をTとしたとき、

$$T < 1/f$$

の関係を成り立つことを特徴とする画像表示装置。

【請求項7】上記の波形改善回路が、微分回路からなることを特徴とする請求項6に記載の画像表示装置。

【請求項8】上記の波形改善回路が、正弦波発生回路、およびこの回路により発生された正弦波と上記基本信号とを加算する加算回路からなることを特徴とする請求項6に記載の画像表示装置。

【請求項9】上記波形なまり対応信号成分の波高値をV、上記基本信号成分の波高値をV₁としたとき、

$$|V_1| > |V|$$

の関係を成り立つことを特徴とする請求項6、請求項7または請求項8に記載の画像表示装置。

【請求項10】面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、上記回路手段の最高電源電圧をV_{max}、最低電源電圧をV_{min}、この回路手段へ入力する信号の振幅をV₁（ピーク・ピーク値）としたとき、

$$V_{11} > |V_{max} - V_{min}|$$

であることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等の画像表示装置に関するものである。

【0002】

【従来の技術】従来の液晶表示装置に代表される、マトリクス状に画素を配した画像表示装置の多くは、この表示装置を駆動するためのドライバ回路、このドライバ回路を制御するコントローラ回路等、所定の機能を有する種々の回路を開いている。これらの回路の構成、および規模等は、画像表示装置の形態により様々であるが、T-V映像など各種メディアに応じた情報を画像化する上で、前記の回路は必須不可欠なものである。ここで、液晶表示装置、中でもアクティブマトリクス方式の液晶表示装置のドライバ回路について、その回路構成を説明する。

【0003】アクティブマトリクス方式の液晶表示装置のドライバ回路としては、ソースドライバとも称され、映像信号を受け取り、この信号をサンプリングして水平走査期間分、即ち横1ライン分のサンプリングされた画像データを随時画素部に出力するデータドライバと、ゲートドライバとも称され、画素部に転送された画像データの格納要素を指定する走査ドライバとの2種類がある。これら各ドライバの構成は液晶パネルの仕様により回路構成が異なるものの、データドライバは、例えばシフトレジスタ、サンプリング回路、トランスファ回路および出力バッファ等から構成され、走査ドライバは、例えばシフトレジスタ、レベルシフト、出力バッファ等から構成されている。

【0004】ここで、データドライバを例にとり、その構成と動作とを図16ないし図21に基づいて説明する。尚、図16はアクティブマトリクス方式の液晶表示装置に使用される代表的な所謂、順次走査方式のデータドライバのブロック図、図17は図16における各部のタイミングチャート例、図18は点順走査方式のデータドライバのブロック図、図19は図18における各部のタイミングチャート例である。

【0005】順次走査方式のデータドライバでは、図16に示すように、データドライバ内のシフトレジスタ

3

101に、クロック信号(以下、CLPと称する)と、スタートパルス(以下、STPと称する)が入力される。例えば、同ドライブの出力本数をNとすると、1水平走査分のデータのサンプリングを開始するSTPが入力されることで、シフトレジスタ101の各出力部からは、CLPのタイミングに準じてサンプリングパルスC₁〜C_Nが出力される。映像信号は、サンプリング回路102において、シフトレジスタ101から出力されるサンプリングパルスC₁〜C_Nによりサンプリングされ、サンプリングされた信号データZ₁〜Z_Nがサンプリングコンデンサに書き込まれる。サンプリングコンデンサに書き込まれた1水平走査分の信号データは、転送信号(以下、TRFと称する)に基づいて、トランスファ回路103から出力バッファ104を介してデータバスラインに出力される。このデータバスラインへのデータ転送タイミングに合わせて、走査ドライバから走査信号線に走査パルスを加圧することにより、1水平走査分のデータが液晶パネルにおける所定の画素に格納される。

【0006】また、信号データが液晶パネルに転送されている間に、次の水平走査分の映像信号のサンプリングが行われる。そして、この新たにサンプリングされたデータは出力バッファ104に転送するTRF信号がトランスファ回路103へ入力される前に、放電信号(以下、DISと称する)が出力バッファ104に印加され、前の信号データがデータ信号線から消去される。

【0007】一方、点順次走査方式のデータドライブでは、図18に示すように、映像信号が、上述の線順次走査方式の場合と同様、シフトレジスタ101から出力されるサンプリングパルスC₁〜C_Nによりサンプリングされる。しかしながら、このサンプリングされた信号は、サンプリングコンデンサに書き込まれることなく、直ちにデータバスラインに転送される。このデータバスラインへのデータ転送タイミングに合わせて、前記の場合と同様、走査ドライバから走査信号線に走査パルスを印加することにより、1水平走査分のデータが液晶パネルにおける所定の画素に格納される。

【0008】尚、点順次走査方式の場合、1水平期間中、サンプリングが最も遅いタイミングの信号データが格納される画素に対しては、データバスラインに信号データが出力されてから走査パルスがOFFするまでの時間が短いため、画素のスイッチング素子、即ちアクティブ素子の電子移動度が低い場合、画素への充電時間が足りず、信号データを十分に書き込むことができなくなる。従って、点順次走査方式の場合、必然的に電子移動度が高い素子を使用する必要がある。

【0009】液晶表示装置における上記アクティブ素子として、線順次走査方式では、アモルファスシリコン薄膜トランジスタ(以下、a-Si TFTと称する)を使用し、点順次走査方式では、多結晶シリコン薄膜トラン

4

ジスタ(以下、p-Si TFTと称する)を使用するのが一般的である。a-Si TFTの場合、通常、前記ドライブ回路には外付けのドライブLSIが使用される。一方、p-Si TFTの場合、電子移動度 μ 、 $\mu \approx 5 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、a-Si TFTのそれと比較して10〜1000倍も高いので、画素を形成するガラス基板上に前述のようなドライブ回路をモノリシックに形成することが可能である。

【0010】

【発明が解決しようとする課題】ところで、上記のようにドライブを表示画面のガラス基板上に設けた場合には、従来のa-Si TFT液晶表示装置(以下、a-Si TFT LCDと称する)のように、必然的に走査信号線およびデータ信号線のみならず、図16および図18に示した電源線、クロック信号線および映像信号線等も、上記ガラス基板等の絶縁基板上、あるいは単結晶シリコン基板等の半導体基板上に配線する必要がある。この配線材として、a-Si TFT LCDに使用されている例えばTaあるいはTaNxは、比抵抗 ρ が25〜300 $\mu\Omega \cdot \text{cm}$ であり、この配線材により配線した場合の配線抵抗は、例えば、配線パターンにおける配線幅を100 μm 、膜厚を300.0 Åとすると、1 cmの配線で100 Ω 程度となる。

【0011】従って、対角25 cmクラスの表示装置の場合、この装置の縦方向、即ち水平方向の端から端まで信号線を設けると、信号線長が約20 cmとなり、この信号線の配線抵抗は2 k Ω 程度となり、対角13 cmクラスの表示装置の場合でも、1 k Ω 程度となる。このような信号線においては、例えば図20に示すように、信号入力端側でAのような広い帯域を有する信号も、信号線を通過するに従ってA→B→Cと帯域特性が悪化し、信号線の終端ではDのような帯域特性を示すことになる。この状態は、液晶パネルの左端と右端とで信号の過渡特性が大きく異なることを意味する。

【0012】上記の現象を例えば図16および図18に示したサンプリング回路102およびシフトレジスタ101に当てはめると、例えば、初段では図21(a)に示したような出力サンプリング信号の波形は、段数を経るにつれて立ち上がり部および立ち下り部が鈍化して初期の形状から随分と異なり、いわゆる変形する。図21(c)、(1<M<N)段では、本来bであるべきものがb'となり、さらに段を経たC段では、本来cであるべきものがc'になる。このため、サンプリングの位相が正規の位置からずれる、あるいはサンプリング信号そのものが発生しないといった事態を生じ、これにより良好な表示を行うことができないという問題を招来する。

【0013】尚、特開平4-348385号には、表示パネルに流れる電流を検出し、この電流量に応じて表示パネルへの印加電圧を制御することにより、信号データ

5

の波形なまりを補正する技術が開示されている。しかしながら、上記公報に開示されている技術では、単純マトリクス駆動方式の画像表示装置のみに有効であり、アクティブ素子を備えた例えばアクティブマトリクス駆動方式の画像表示装置におけるドライバのモノリシック化、あるいはCOG(chip on glass)化等に起因する波形なまりには対応することができないという問題点を有している。

【0014】従って、本発明は、アクティブ素子を備えたドライバ回路におけるモノリシック化、あるいはCOG化等に起因する波形なまりに対応することができ、良好な表示を行うことができる画像表示装置の提供を目的としている。

【0015】

【課題を解決するための手段】上記の課題を解決するために、請求項1の発明の画像表示装置は、面状に広がる画像表示部、例えば液晶パネルを有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、少なくとも2個をとする基本信号成分、および波形なまり対応信号成分を有する波形改善信号を生成し、この信号を上記回路手段に供給する波形改善信号生成回路を備え、上記の波形改善信号が、基本信号成分の最大振幅を v 、波形なまり対応信号成分を含む部位の最大振幅を V としたとき、 $|v| < |V|$ の関係が成り立つことを特徴としている。

【0016】また、請求項2の発明の画像表示装置は、請求項1の発明の画像表示装置において、上記の波形改善信号生成回路が、外部から入力された基本信号を微分して波形改善信号を生成する微分回路であることを特徴としている。

【0017】また、請求項3の発明の画像表示装置は、請求項1の発明の画像表示装置において、上記の波形改善信号生成回路が、外部から入力された基本信号と、生成した波形なまり対応信号とを加算して波形改善信号を生成するものであることを特徴としている。

【0018】また、請求項4の発明の画像表示装置は、面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、上記の回路手段は、入力信号に対して、回路の動作の指標となる、波形なまりにより劣化した信号成分における位相特性の補償動作を行う位相特性改善回路を備えていることを特徴としている。

【0019】また、請求項5の発明の画像表示装置は、請求項4の発明の画像表示装置において、上記の位相特性改善回路が、微分回路からなることを特徴としている。

【0020】また、請求項6の発明の画像表示装置は、

6

面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、上記回路手段の動作周波数を決定する基本信号に対し、この信号における動作タイミングを指定する部位に波形なまり対応信号成分を付与する波形改善回路を備え、上記基本信号による回路手段の動作周波数を f 、上記波形なまり対応信号成分の最少パルス幅を T としたとき、 $T < 1/f$ の関係が成り立つことを特徴としている。

【0021】また、請求項7の発明の画像表示装置は、請求項6の発明の画像表示装置において、上記の波形改善回路が、微分回路からなることを特徴としている。

【0022】また、請求項8の発明の画像表示装置は、請求項6の発明の画像表示装置において、上記の波形改善回路が、正弦波発生回路、およびこの回路により発生された正弦波と上記基本信号とを加算する加算回路からなることを特徴としている。

【0023】また、請求項9の発明の画像表示装置は、請求項6、請求項7または請求項8の発明の画像表示装置において、上記波形なまり対応信号成分の振幅値を V 、上記基本信号成分の振幅値を v としたとき、 $|V| > |v|$ の関係が成り立つことを特徴としている。

【0024】また、請求項10の発明の画像表示装置は、面状に広がる画像表示部を有し、この画像表示部と同一基板上に、複数のアクティブ素子を含む回路手段が設けられている画像表示装置において、上記回路手段の最高電源電圧を V_{DD} 、最低電源電圧を V_{SS} 、この回路手段へ入力する信号の振幅を V_{in} （ピーク・ピーク値）としたとき、 $V_{in} > |V_{DD} - V_{SS}|$ であることを特徴としている。

【0025】

【作用】請求項1の構成によれば、波形改善信号における基本信号成分の最大振幅を v 、波形なまり対応信号成分を含む部位の最大振幅を V としたとき、これらの関係を $|v| < |V|$ とするることにより、基本信号成分に対して波形なまり対応信号成分を抽出可能な成分とすることができる。また、基本信号成分の周波数を f 、波形なまり対応信号成分の周波数を F としたとき、これらの関係を $f < F$ とすることにより、基本信号成分に対し、波形なまり信号成分を適切に設定することができる。

【0026】そして、予め上記のように形成した波形改善信号を回路手段、例えば駆動回路に供給することにより、例えば画像表示部と同一の基板上に駆動回路をモノリシックに形成し、あるいはCOG実装を行ったとしても、基本信号となる例えばクロック信号等の立ち上がり部もしくは立ち下がり部、またはこれら両者の波形なまりを抑制し、これらの急峻性を維持して、位相ずれを防止することができる。これにより、例えば、サンプリングパルスのタイミング遅延が生じず、正味のタイミング

によって所望の映像信号のサンプリングが可能となり、良好な画像表示を行うことができる。

【0027】請求項2の構成によれば、波形改善信号生成回路が、外部から入力された基本信号を微分して波形改善信号を生成する微分回路であるので、構成を簡素化することができる。

【0028】請求項3の構成によれば、波形改善信号生成回路が、外部から入力された基本信号と、生成した波形なまり対応信号とを加算して波形改善信号を生成するものであるから、波形なまり対応信号を独立した状態で適切に形成することができ、所望の波形改善信号を良好に形成することができる。これにより、例えば画像信号のさらに良好なサンプリングを行うことができ、さらに良好な画像表示が可能となる。

【0029】請求項4の構成によれば、回路手段、例えば駆動回路が備える位相特性改善回路は、入力信号における駆動回路の動作の指標となる信号成分、即ちこの劣化した信号成分における位相特性の補償動作を行うので、波形なまりによる劣化を防止する波形なまり対応信号成分を予め入力信号に設定する場合と比較して、上記入力信号の劣化防止に対応し易くなる。

【0030】請求項5の構成によれば、位相特性改善回路が微分回路からなるので、構成を簡素化することができる。

【0031】請求項6の構成によれば、上記基本信号による回路手段、例えば駆動回路の動作周波数を f 、上記波形なまり対応信号成分の最少パルス幅を T としたとき、 $T < 1/f$ とすることにより、基本信号に対して波形なまり対応信号成分を適切に設定することができる。

【0032】そして、上記のように基本信号に対して波形なまり対応信号成分が付与されることにより、例えば画像表示部と同一の基板上に駆動回路をモノリシックに形成し、あるいはCOG実装を行った場合であっても、基本信号となる例えばクロック信号等の立ち上がり遅れもしくは立ち下がり部、またはこれら両者の波形なまりを抑制し、これらの急峻性を維持して、位相ずれを防止することができる。これにより、例えば、サンプリングパルスのタイミング遅延が生ずり、正規のタイミングによって所望の映像信号のサンプリングが可能となり、良好な画像表示を行うことができる。

【0033】請求項7の構成によれば、波形改善回路が微分回路からなるので、構成を簡素化することができる。

【0034】請求項8の構成によれば、波形改善回路が、正弦波発生回路、およびこの回路により発生された正弦波と上記基本信号とを加算する加算回路からなるので、正弦波を使用しての波形なまり防止動作が可能となる。

【0035】請求項9の構成によれば、波形なまり対応信号成分の波高値を V 、基本信号成分の波高値を V_0

としたとき、 $|V_0| > |V|$ とすると、基本信号成分に対して波形なまり対応信号成分を検出可能な成分とすることができ、別に、波形なまり対応信号成分の増幅手段等のレベル調整手段を設けることが不要となる。

【0036】請求項10の構成によれば、回路手段へ入力する信号を例えば増幅して、その振幅 V_0 （ピーク・ピーク値）と回路手段の最高電源電圧 V_{DD} 、および最低電源電圧 V_{SS} との関係を、 $V_{DD} > |V_0| > |V_{SS} - V_{SS}|$ とすることにより、簡便な構成にて、上記入力信号における波形なまりを抑制し、波形改善の効果を得ることができる。

【0037】

【実施例】

【実施例1】本発明の一実施例を図1ないし図8に基づいて以下に説明する。本実施例の画像表示装置としての液晶表示装置は、アクティブマトリクス型点順次走査方式となっており、さらにはアクティブ素子を含み、画像表示部と同一基板上に設けられた回路手段が画像表示部を駆動するための駆動回路となっている。この本液晶表示装置は、図1に示すように、図示しない液晶パネルを駆動するドライバ回路1の前段に、応答性改善回路2を備えている。この応答性改善回路2は、原クロック信号（以下、原CLPと称する）を発生する図示しないクロック信号発生回路と共に波形改善信号生成回路を構成している。

【0038】上記応答性改善回路2は、図2の(a)に示す方形パルス状の基本信号成分としての原CLPから、図2の(b)に示す波形なまり対応信号成分としての応答性改善信号を生成する微分回路3と、上記原CLPに上記応答性改善信号を加算し、即ちミキシングし、図2の(c)に示す波形改善信号としての改善クロック信号（以下、改善CLPと称する）を生成する加算器4とを備えている。上記微分回路3は、例えば図3に示す低抵抗 R_1 、コンデンサ C_1 からなる。この微分回路3から出力される上記応答性改善信号の図2の(b)に示すパルス幅 t は、周知のように R_1 と C_1 との積（ $t = R_1 \cdot C_1$ ）にて、即ち微分回路3の時間定数にて決定される。

【0039】上記応答性改善回路2の配設位置は、ドライバ回路1に近接している方が改善CLP信号の波形なまり防止の点において良好であるものの、クロック信号発生回路とドライバ回路1との間であれば特に限定されない。

【0040】上記加算器4は、例えば図4に示すように、1個の演算増幅器OP、と4個の抵抗 R_1 と1個の抵抗 R_2 とから構成されている。前、抵抗 R_1 は、 $R_1 = R_2/2$ となっている。同回路において、演算増幅器OPの反転入力端子の入力電圧を V^- 、非反転入力端子の入力電圧を V^+ 、入力端子a、入力端子bの入力電圧をそれぞれ V_a 、 V_b 、出力端子cの出力電圧を V_c とすると、

$$V^- = (R_1/3) (V_a/R_1 + V_b/R_1) = (V$$

$$a+Vb)/3$$

$$V = \{Vc / (R_1 / 2 + R_2)\} R_1 / 2 = Vc / 3$$

$$V' = V \text{ より、}$$

$$Vc = Va + Vb \text{ となる。}$$

【0041】上記の改善クロック信号は、図5に太い線で示すHigh/Low、即ちH/L、もしくは1/0の値をとる基本信号成分Ssと、原CLPの立ち上がり部、立ち下がり部にそれぞれ付与された細い線で示すオーバーシュート成分So、アンダーシュート成分Suとを有している。

【0042】ドライバ回路1は、例えば図6に示す構成のデータドライバであり、シフトレジスタ11とサンプリング回路12とを備え、液晶パネルにおける画素部と同一のガラス基板上に設けられている。シフトレジスタ11には、上記の改善CLPと、スタートパルス（以下、STPと称する）とが入力される。

【0043】シフトレジスタ11は、通常、CLPの立ち上がりもしくは立ち下りのタイミングでSTPをシフトさせていく。ここでは、シフトレジスタ11が改善CLPの立ち上がりで上記シフト動作を行うものとす

る。

【0044】シフトレジスタ11に入力された図2(c)に示す改善CLPは、先述のように、ドライバ回路1内の配線における配線抵抗、および寄生容量により、立ち上がり部が鈍化する方向に変形する。しかしながら、改善CLPには、予めオーバーシュート成分Soが付与されているので、改善CLPの波形なまりが防止され、立ち上がりの遅延は殆ど生じない。また、寄生容量の影響が大きければ、それに応じてオーバーシュート成分Soの割合を大きくすることで立ち上がり部の遅延を確実に解消することができる。

【0045】上記ドライバの出力本数をNとすると、1水平走査分のデータのサンプリングを開始するSTPが入力されることで、シフトレジスタ11の各出力部からは、改善CLPのタイミングに伴ってサンプリングパルスC₁、～C_Nが出力される。映像信号は、サンプリング回路12において、シフトレジスタ11から出力されるサンプリングパルスC₁、～C_Nによりサンプリングされ、このサンプリングされた信号は、直ちにデータバス

ラインに転送される。

【0046】上記のデータバスラインへのデータ転送タイミングに合わせて、走査ドライバから走査信号線に走査パルスを印加することにより、1水平走査分のデータが液晶パネルにおける所定の画素に格納される。これにより、液晶表示装置は表示を良好に行うことができる。

【0047】尚、本実施例において、改善CLPは、立ち上がり部にオーバーシュート成分Ssを有し、立ち下がり部にアンダーシュート成分Suを有しているもの、シフトレジスタ11は、改善CLPの立ち上りの

みにより上記シフト動作を行うものであるから、立ち下がり部のアンダーシュート成分Suはなくてもよい。逆に、仮にシフトレジスタ11が改善CLPの立ち下がりにより上記シフト動作を行うものであれば、立ち下がり部のアンダーシュート成分Suのみでよい。

【0048】また、本実施例においては、クロック信号発生回路から出力された原CLPに対し応答性改善回路2にて応答性改善信号を付与しているが、上記クロック信号発生回路から応答性改善信号が付与された改善CLPを出力する構成、即ちクロック信号発生回路が応答性改善回路2を備えている構成であってもよい。

【0049】また、改善CLPは、図7に示すように、微分により改善CLPとなるような原CLPをクロック信号発生回路6にて生成し、この原CLPを微分回路3にて処理することにより、得るようにしてもよい。

【0050】また、改善CLPは、原CLPの立ち上がり部と立ち下がり部とに応答性改善信号としての微分信号を付与しているものとなっているが、その他、原CLPと同期関係にある他の応答性改善信号を付与したもの、例えば図8(a)に示すように、正弦波からなる応答性改善信号を付与したもの、図8(b)に示すように、パルス状の応答性改善信号を付与したものであってもよい。また、上記の応答性改善信号としては、三角波状のもの、あるいは台形状のものであってもよい。また、応答性改善信号は、原CLPの立ち上がり部と立ち下がり部とに付けられるばかりでなく、図8(c)に示すように、例えばこれらの位置からずれた位置に付けられていてもよい。さらに改善CLPは、図8(d)に示すように、原CLPの立ち上がり部から立ち下がり部までの間に、2個の応答性改善信号が付けられたものであってもよい。尚、立ち上がり特性の改善が立ち下がり特性に、逆に立ち下がり特性の改善が立ち上がり特性に、それぞれ、影響を及ぼして弊害が発生する場合には、応答性改善信号の投入位置を、原CLP信号の立ち上がり部と立ち下がり部の中間、即ち1/2の点よりも前側とすることが望ましい。

【0051】以上のことから、波形改善信号、例えば上記の改善CLPにおいて、図5に示すように、原CLP、即ち基本信号に対応する成分の最大振幅をV、この基本信号の特性を改善する部位の最大振幅をVとしたとき、

$$|V'| < |V|$$

の関係が成立すること、並びに基本信号成分の周波数をfとし、応答性改善信号の周波数をFとしたとき、 $f \leq F$

が成立すること、という条件を満たしていればよい。尚、ここで言う応答性改善信号の周波数Fとは、図2に示す1より算出される周波数であり、 $F = 1/21$ を指すものである。

【0052】即ち、 $|V'| < |V|$ とするように、

11

原CLPに対して応答性改善信号を検出可能な成分とすることができ、また、 $f \leq f_0$ とすることにより、原CLPに対して応答性改善信号を適切に与えることができる。

【0053】また、微分回路3は構成が簡単であるから、これを使用することにより回路の構成を簡素化することができる。また、図1に示した構成は、図7に示した構成と比較して若干複雑であるものの、微分回路3によって応答性改善信号を生成し、これを原CLPに加算して改善CLPを生成しているため、応答性改善信号をより適切に形成することができる。

【0054】また、液晶表示装置に電子移動度の高い複数のアクティブ素子を使用する。このアクティブ素子として、電子移動度 μ が、 $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{sec}$ の多結晶シリコン薄膜トランジスタ（以下、p-SITFTと称する）が使用されること、ドライバ回路1が液晶パネルの画素を形成するガラス基板上にモノリシックに形成されていることについては、前述の通りである。

【0055】また、本実施例の構成は、原CLPに応答性改善信号を付与し、改善CLPを得るものとなっているが、このような構成は、上記の改善CLPと同様、H/Lもしくは1/0の2値をとる例えばスタートパルス、およびその他のデータ信号、並びに多階層、即ち多数値をとる映像信号に対しても同様に適用可能である。これらは、後述の他の実施例においても同様に適用可能である。

【0056】【実施例2】本発明の他の実施例を図9ないし図12に基づいて以下に説明する。尚、説明の便宜上、前記の実施例に示した手段と同一の機能を有する手段には同一の符号を付し、その説明を省略する。

【0057】本実施例の液晶表示装置では、図9に示すように、液晶パネルの画素を形成するガラス基板上にデータドライバであるドライバ回路1が設けられ、このドライバ回路1が位相特性改善回路としての微分回路3を備えている。微分回路3は、N段のシフトレジスタ11全ての前段に設けられている。

【0058】上記の構成において、図示しないクロック信号発生回路から出力された原CLPは、ドライバ回路1内における配線抵抗や寄生容量により、図10(a)に示す波形が図10(b)に示すように、立ち上がり部および立ち下がり部が鈍化して変形した波形となり、即ち波形なまりを生じて微分回路3に入力される。この原CLPは、微分回路3にて処理されることにより、図10(c)に示すように、上記立ち上がり部および立ち下がり部が急峻な波形となる。これにより、立ち上がり部および立ち下がり部の遅延を補償することができ、液晶表示装置は良好な表示を行うことができる。

【0059】尚、上記の実施例では、微分回路3をN段のシフトレジスタ11の前段全てに設けているが、図11に示すように、CLPの供給線がN段のシフトレジスタ

12

タ11に応じて分岐される毎段に1個の微分回路3を設けてもよい。さらには、図12に示すように、シフトレジスタ11の途中、即ち後段への伝達パルスそのものを微分回路3にて処理することにより応答性の改善を図るようにしてもよい。

【0060】【実施例3】本発明のさらに他の実施例を図13ないし図15に基づいて以下に説明する。尚、説明の便宜上、前記の実施例に示した手段と同一の機能を有する手段には同一の符号を付し、その説明を省略する。

【0061】本実施例の液晶表示装置は、図13に示すように、データドライバであるドライバ回路1におけるN段のシフトレジスタ11全ての後段にそれぞれ改善信号挿入回路31を備えている。この改善信号挿入回路31には、改善信号発生回路32から出力される図14(c)に示す波形なまり対応信号成分としての応答性改善信号と、図示しないクロック信号発生回路から出力された原CLPとが入力されている。改善信号発生回路32は改善信号挿入回路31と共に波形改善回路を構成している。上記改善信号挿入回路31は、例えば図4に示した加算部4からなり、上記原CLPに改善信号成分を加算し、シフトレジスタ11に出力するようになっている。

【0062】上記の構成において、図示しないクロック信号発生回路から出力された原CLPは、ドライバ回路1内における配線抵抗や寄生容量により、図14(a)に示す波形が図14(b)に示すように、立ち上がり部および立ち下がり部が鈍化して変形なまりを生じて、改善信号挿入回路31に入力される。改善信号挿入回路32は、改善信号発生回路32から入力された図14(c)に示す応答性改善信号を上記入力信号に加算して、図14(d)に示す改善CLPを生成し、シフトレジスタ11に出力する。上記改善CLPは、立ち上がり部および立ち下がり部が急峻となっており、これにより、シフトレジスタ11での応答性が改善される。

【0063】ここで、上記応答性改善信号におけるパルス幅Tは、前記ガラス基板上に形成されたドライバ回路1の動作周波数を f とすると、 $T < 1/f$ に設定する必要がある。従って、上記の応答性改善信号としては、例えば図14(c)に示す原CLPの微分信号も使用することができる。即ち、応答性改善信号は、改善CLPにおける立ち上がり部および立ち下がり部の急峻性を高めることができるものであればよく、例えば正弦波であってもよい。

【0064】尚、上記の改善信号発生回路32は、図14(c)に示す応答性改善信号を発生する場合、周知のパルス信号発生回路からなり、図14(e)に示す応答性改善信号を発生する場合、周知の微分回路あるいはマルチバイブレータから構成される。さらに、改善信号発生

回路32は、応答性改善信号が正弦波である場合、周知の正弦波信号発生回路あるいは変換回路により構成される。

【0065】また、上記応答性改善信号の振幅を V と、原CLPの振幅を V_1 との関係を、
 $|V| > |V_1|$ に

に設定すると、応答性改善信号を増幅する手段等のレベル調整手段が必要となる。

【0066】また、改善信号挿入回路31は、図15に示すように、シフトレジスタ11への原CLPの供給線がN段のシフトレジスタ11に応じて分岐される前段に設けてよい。

【0067】以上に述べた各実施例では、回路手段として点順次走査方式のデータドライバを例にして説明したが、本発明の構成は、点順次走査方式の走査ドライバ、線順次走査方式のデータドライバと走査ドライバ、その他、立ち上がりもしくは立ち下りのタイミングが要求される信号の処理に、例えば所蔵スタイルスベンの処理機能、あるいは二次元イメージセンサの処理機能等の全て、あるいは一部を画像処理表示部と同一基板上に形成した場合にも適用可能である。さらに、液晶表示装置からなる画像表示装置に限定されることなく、その他の画像表示装置、例えばエレクトロルミネッセンス表示装置、あるいはプラズマディスプレイ等にも適用可能である。

【0068】また、上記のドライバ回路1、および応答性改善回路2等の各回路は、ガラス基板等の絶縁性基板、あるいは表面に絶縁膜を形成した半導体基板上に形成された電子移動度 $\mu \geq 5 \text{ cm}^2/\text{Vs}$ なるアクティブ素子、あるいは上記基板上に実装されたCOG等により実現することができる。

【0069】また、以上の各実施例では、一つには回路構成素子の耐圧等を考慮して、波形改善信号が例えばパルス状の信号成分を有するものとして取り扱ったが、耐圧に問題がなければ、単に波形改善信号を基本信号を増幅したものとして取り扱うことも可能である。即ち、回路手段の最高電源電圧を V_{DD} 、例えばグラウンド側の電圧である最低電源電圧を V_{SS} 、この回路手段へ入力する信号の振幅を V_{11} （ピーク・ピーク値）としたとき、
 $V_{11} > |V_{DD} - V_{SS}|$

の関係有することにより、簡便な構成で上記入力信号における波形なまりを抑制し、波形改善の効果を得ることができる。尚、クリスタルシリコン基板上に構成されたCMOS半導体では、一般に電源電圧よりも高い電圧の信号を入力することができないものの、例えば、ガラス基板上に構成されたTFT（薄膜トランジスタ）では、電子移動度が小さく、電源電圧よりも高い電圧の信号を入力した場合にも破壊され難いので、上記の動作が可能となる。

【0070】

【発明の効果】以上のように、請求項1の発明の画像表

示装置は、少なくとも2値をとる基本信号成分、および波形なまり対応信号成分を有する波形改善信号を生成し、この信号を回路手段、例えば駆動回路に供給する波形改善信号生成回路を備え、上記の波形改善信号が、基本信号成分の最大振幅を V 、波形なまり対応信号成分を含む部位の最大振幅を V_1 としたとき、 $|V| < |V_1|$ の関係有するとともに、基本信号成分の周波数を f 、波形なまり対応信号成分の周波数を F としたとき、 $f \ll F$ の関係有する構成である。

【0071】これにより、予め上記のように形成した波形改善信号が回路手段、例えば駆動回路に供給されるので、例えば画像表示部と同一の基板上に駆動回路をモノリシックに形成し、あるいはCOG実装を行った場合であっても、基本信号となる例えばクロック信号等の立ち上がり部もしくは立ち下り部、またはこれら両者の波形なまりを抑制し、これらの急峻性を維持して、位相ずれを防止することができる。これにより、例えば、サンプリングパルスのタイミング遅延が生じず、正規のタイミングによって所望の映像信号のサンプリングが可能となり、良好な画像表示を行うことができるという効果を奏する。

【0072】また、請求項2の発明の画像表示装置は、請求項1の発明の画像表示装置において、上記の波形改善信号生成回路が、外部から入力された基本信号を微分して波形改善信号を生成する微分回路からなる構成である。

【0073】これにより、請求項1の発明の効果に加えて、構成を簡素化することができるという効果を奏する。

【0074】また、請求項3の発明の画像表示装置は、請求項1の発明の画像表示装置において、上記の波形改善信号生成回路が、外部から入力された基本信号と、生成した波形なまり対応信号とを加算して波形改善信号を生成する構成である。

【0075】これにより、請求項1の発明の効果に加えて、波形なまり対応信号を独立した状態で適切に形成することができる。従って、例えば画像信号のさらに良好なサンプリングを行うことができ、さらに良好な画像表示が可能であるという効果を奏する。

【0076】また、請求項4の発明の画像表示装置は、回路手段、例えば駆動回路が、入力信号に対して、駆動回路の動作の指標となる、波形なまりにより劣化した信号成分における位相特性の補償動作を行う位相特性改善回路を備えている構成である。

【0077】これにより、請求項1の発明の効果に加えて、波形なまりによる劣化を防止する波形なまり対応信号成分を予め入力信号に設定する場合と比較して、上記入力信号の劣化防止に対応し易くなるという効果を奏する。

【0078】また、請求項5の発明の画像表示装置は、請求項4の発明の画像表示装置において、上記の位相特性改善回路が、微分回路からなる構成である。

【0079】これにより、請求項4の発明の効果に加えて、構成を簡素化することができるという効果を奏する。

【0080】また、請求項6の発明の画像表示装置は、回路手段、例えば駆動回路の動作周波数を決定する基本信号に対し、この信号における動作タイミングを指定する部位に波形なまり対応信号成分を付与する波形改善回路を備え、上記基本信号による駆動回路の動作周波数を f 、上記波形なまり対応信号成分の最少パルス幅を T としたとき、 $T < 1/f$ の関係が成り立つ構成である。

【0081】これにより、請求項1の発明の効果と同様、良好な画像表示を行うことができるという効果を奏する。

【0082】また、請求項7の発明の画像表示装置は、請求項6の発明の画像表示装置において、上記の波形改善回路が、微分回路からなる構成である。

【0083】これにより、請求項6の発明の効果に加えて、構成を簡素化することができるという効果を奏する。

【0084】また、請求項8の発明の画像表示装置は、請求項8の発明の画像表示装置において、上記の波形改善回路が、正弦波発生回路、およびこの回路により発生された正弦波と上記基本信号とを加算する加算回路からなる構成である。

【0085】これにより、請求項6の発明の効果に加えて、正弦波を使用しての波形なまり防止動作が可能であるという効果を奏する。

【0086】また、請求項9の発明の画像表示装置は、請求項6、請求項7または請求項8の発明の画像表示装置において、上記波形なまり対応信号成分の振幅値を V_1 、上記基本信号成分の振幅値を V_0 としたとき、 $|V_1| > |V_0|$ の関係が成り立つことを特徴としている。

【0087】これにより、請求項6、請求項7または請求項8の発明の効果に加えて、別に、波形なまり対応信号成分の増幅手段等のレベル調整手段が不要であるという効果を奏する。

【0088】また、請求項10の発明の画像表示装置は、回路手段の最高電源電圧を V_{DD} 、最低電源電圧を V_{SS} 、この回路手段へ入力する信号の振幅を V_1 （ピーク・ピーク値）としたとき、 $V_{DD} > |V_1| - V_{SS}$ とした構成である。

【0089】これにより、簡便な構成にて波形なまりを抑制し、波形改善の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例における液晶表示装置の要部

の構成を示すブロック図である。

【図2】図1に示した各部の信号のタイミングチャートである。

【図3】図1に示した微分回路の回路図である。

【図4】図1に示した加算器の回路図である。

【図5】上記加算器の出力信号波形の拡大図である。

【図6】図1に示したドライバ回路の構成を示すブロック図である。

【図7】図1に示した応答性改善回路に代わる構成を示すブロック図である。

【図8】上記加算器から出力される改善クロック信号の他の例を示すものであって、同図（a）は、原クロック信号に両極性改善信号としての正弦波を重ねたもの、同図（b）は、原クロック信号にパルス波を重ねたもの、同図（c）は、原クロック信号の立ち上がり部と立ち下がり部とからずれた位置に両極性改善信号を重ねたもの、同図（d）は原クロック信号の1個のパルスに2個の両極性改善信号を重ねたものを示す波形図である。

【図9】本発明の他の実施例における液晶表示装置の要部の構成を示すブロック図である。

【図10】図9に示した各部の信号のタイミングチャートである。

【図11】図9に示した構成の他の例を示すブロック図である。

【図12】図9に示した構成のさらに他の例を示すブロック図である。

【図13】本発明のさらに他の実施例における液晶表示装置の要部の構成を示すブロック図である。

【図14】図13に示した各部の信号のタイミングチャートである。

【図15】図13に示した構成の他の例を示すブロック図である。

【図16】従来の順次走査方式のデータドライバの構成を示すブロック図である。

【図17】図16に示した各信号のタイミングチャートである。

【図18】従来の点順次走査方式のデータドライバの構成を示すブロック図である。

【図19】図18に示した各信号のタイミングチャートである。

【図20】従来の液晶表示装置におけるドライバ回路での信号の通過距離に対応する帯域特性の変化を示すグラフである。

【図21】図20に示した帯域特性の変化に対応する信号波形の変化を示すものであって、同図（a）は、原信号、同図（b）は波形なまりが生じた状態、同図（c）は波形なまりがさらに進行した状態の各波形図である。

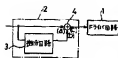
【符号の説明】

1 ドライバ回路（駆動回路）

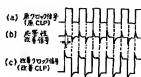
- 2 応答性改善回路 (波形成善信号形成回路)
 3 微分回路 (位相特性改善回路)
 4 加算器
 6 クロック信号発生回路

- 11 シフトレジスタ
 12 サンプルング回路
 31 改善信号挿入回路 (波形成善回路)
 32 改善信号発生回路 (波形成善回路)

【図1】



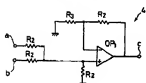
【図2】



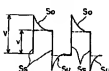
【図3】



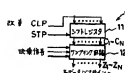
【図4】



【図5】



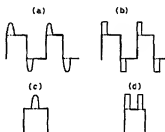
【図6】



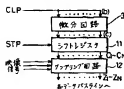
【図7】



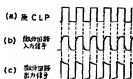
【図8】



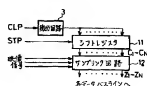
【図9】



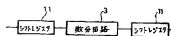
【図10】



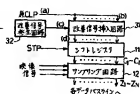
【図11】



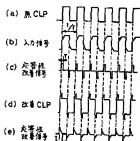
【例 12】



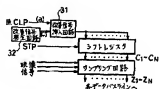
【图 1-3】



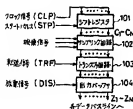
【例 1-4】



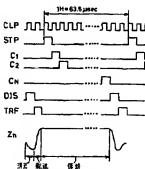
【圖 15】



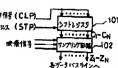
[1 6]



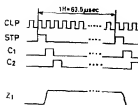
【圖 17】



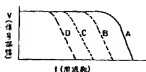
【圖 18】



[1919]



【例 20】



【圖 21】

